

BEST AVAILABLE COPY

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-293938

(43)Date of publication of application : 11.11.1997

(51)Int.Cl. H05K 1/02

(21)Application number : 08-221503

(71)Applicant : HITACHI LTD
HITACHI TOBU SEMICONDUCTOR LTD

(22)Date of filing : 22.08.1996

(72)Inventor : KANNO TOSHIO
TSUKUI SEIICHIRO
TOKIDA KENSUKE

(30)Priority

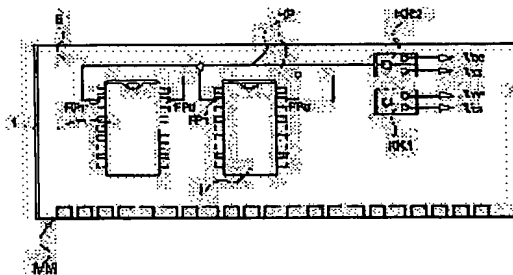
Priority number : 08 37764 Priority date : 26.02.1996 Priority country : JP

(54) MEMORY MODULE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To arbitrarily switch the function and the word structure of a semiconductor device at a package outside part.

SOLUTION: In a memory module MM, a function switching devices KK1 and KK2, with which the function switching signals inputted to function switching pins FP0 and FP1 of a memory 1 are arbitrarily switched, are provided on a module wiring board 5. The function switching signals are arbitrarily switched from nonconnection, source voltage Vcc or grounding potential Vss by the function switching devices KK1 and KK2, the function switching signals are collectively inputted to all the mounted memories 1, and the function consisting of a read-out system and a fresh cycle is switched and arbitrarily set.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(1) 日本国特許庁 (JP) (12) 公開特許公報 (A) (11) 特許出願公開番号

特開平 9-293938

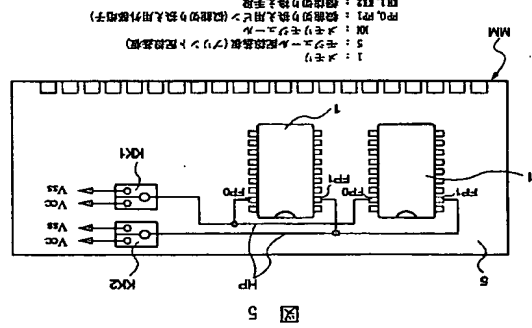
(43) 公開日 平成 9 年 (1997) 11 月 11 日

(51) Int. Cl. ⁶ H 05 K 1/02	縦列記号 H 05 K 1/02	庁内整理番号 F I H 05 K 1/02 A	技術表示箇所
審査請求 未請求	請求項の第 20	OL	(金 21 頁)
(21) 出願番号 特願平 8-221503	(71) 出願人 株式会社日立製作所 000005108		
(22) 出願日 平成 8 年 (1996) 8 月 21 日	(71) 出願人 株式会社日立製作所 000013337 日立東部セミコンダクタ株式会社 東京都千代田区神田駿河台四丁目 4 番地		
(31) 優先権主張番号 特願平 8-37764	(71) 出願人 日立東部セミコンダクタ株式会社 000013337 日立東部セミコンダクタ株式会社 東京都千代田区神田駿河台四丁目 4 番地		
(32) 優先日 平成 (1996) 7 月 11 日	(71) 出願人 日立東部セミコンダクタ株式会社 000013337 日立東部セミコンダクタ株式会社 東京都千代田区神田駿河台四丁目 4 番地		
(33) 優先権主張国 日本 (JP)	(71) 出願人 日立東部セミコンダクタ株式会社 000013337 日立東部セミコンダクタ株式会社 東京都千代田区神田駿河台四丁目 4 番地		

(54) 【発明の名称】 メモリモジュールおよびその製造方法

(57) 【要約】

【課題】 半導体装置の機能およびワード構成をバック
ージ外部で任意に切り換える。
【解決手段】 メモリモジュール MM において、モジュ
ール配線基板 5 にはメモリ 1 の機能切り換え用ピン F P
0、F P 1 が入力される機能切り換え信号を任意に切り
換える機能切り換え手段 K K 1、K K 2 が設けられてい
る。そして、これら機能切り換え手段 K K 1、K K 2 に
よって機能切り換え信号をノンコネク、電源電圧 V c
またはグラウンド電圧 V s のいずれかから任意に切り
換え、実装されている全てのメモリ 1 に一括して入力
し、読み出し方式およびリフレッシュサイクルからなる
機能の切り換えを行い、任意に設定する。



【特許請求の範囲】

【請求項 1】 機能切り換え信号の状態により機能の切
り換えが行われる機能切り換え用外部端子を設けた半導
体装置と、

少なくとも 1 個の前記半導体装置が実装され、前記機能
切り換え用外部端子に入力される任意の機能切り換え信
号を選択する機能切り換え手段を設けたプリント配線基
板とよりなることを特徴とするメモリモジュール。

【請求項 2】 請求項 1 記載のメモリモジュールにお
いて、

前記機能切り換え手段が、
前記プリント配線基板に設けられ、前記プリント配線基
板に実装された前記半導体装置の前記機能切り換え用外
部端子と電気的に接続された第 1 の接続部と、
前記プリント配線基板に設けられ、電源電圧に接続され
た第 2 の接続部と、

前記プリント配線基板に設けられ、基準電位に接続され
た第 3 の接続部とを備え、
前記第 1 の接続部と前記第 2 の接続部との間または前記
第 1 の接続部と前記第 3 の接続部との間に導通手段を装
束あるいは実装を省略し、前記機能切り換え用外部端子
に入力される機能切り換え信号を一括して切り換える手
段であることを特徴とするメモリモジュール。

【請求項 3】 請求項 1 記載のメモリモジュールにお
いて、前記機能切り換え手段が、読み出し方式であるこ
とを特徴とするメモリモジュール。

【請求項 4】 請求項 1 記載のメモリモジュールにお
いて、前記機能切り換え手段によって切り換えられる前記
半導体装置の機能が、読み出し方式であることと特徴と
するメモリモジュール。

【請求項 5】 請求項 1 記載のメモリモジュールにお
いて、前記機能切り換え手段によって切り換えられる前記
半導体装置の機能が、リフレッシュサイクルであること
を特徴とするメモリモジュール。

【請求項 6】 請求項 1 記載のメモリモジュールにお
いて、前記機能切り換え手段によって切り換えられる前記
半導体装置の機能が、読み出し方式およびリフレッシュ
サイクルであることを特徴とするメモリモジュール。

【請求項 7】 請求項 1 記載のメモリモジュールにお
いて、前記半導体装置に、ワード構成切り換え信号の状
態によりワード構成の切り換えが行われるワード構成切
り換え用外部端子を設け、前記プリント配線基板に、予
め設定されたワード構成切り換え信号を前記ワード構成切
り換え用外部端子に入力するワード構成設定配線を取
付けたことを特徴とするメモリモジュール。

【請求項 8】 ワード構成切り換え信号の状態によりワ
ード構成の切り換えが行われるワード構成切り換え用外
部端子を設けた半導体装置と、
少なくとも 1 個の前記半導体装置が実装され、切り換え

(2) 特開平 9-293938

1

られた前記半導体装置のワード構成に対応する専用の配
線を取付けた専用プリント配線基板とよりなることを特徴
とするメモリモジュール。

【請求項 9】 請求項 8 記載のメモリモジュールにお
いて、前記専用プリント配線基板に、前記ワード構成切
り換え用外部端子に入力される任意のワード構成切り換
え信号を選択するワード構成切り換え手段を設けたこと
を特徴とするメモリモジュール。

【請求項 10】 請求項 9 記載のメモリモジュールにお
いて、前記ワード構成切り換え手段が、前記専用プリン
ト配線基板に設けられ、前記半導体装置を装束すること
により所定のワード構成切り換え信号が前記ワード構成
切り換え用外部端子に入力され、所定のワード構成に切
り換えられるワード構成設定配線よりなることを特徴と
するメモリモジュール。

【請求項 11】 請求項 9 記載のメモリモジュールにお
いて、

前記ワード構成切り換え手段が、
前記専用プリント配線基板に設けられ、前記専用プリン
ト配線基板に実装された前記半導体装置の前記ワード構
成切り換え用外部端子と電気的に接続された第 4 の接続
部と、

前記専用プリント配線基板に設けられ、電源電圧に接続
された第 5 の接続部と、
前記専用プリント配線基板に設けられ、基準電位に接続
された第 6 の接続部とを備え、

前記第 4 の接続部と前記第 5 の接続部との間または前記
第 4 の接続部と前記第 6 の接続部との間に導通手段を装
束あるいは実装を省略し、前記ワード構成切り換え用外
部端子に入力されるワード構成切り換え信号を一括して
切り換える手段であることを特徴とするメモリモジュ
ール。

【請求項 12】 請求項 8 記載のメモリモジュールにお
いて、前記半導体装置に、機能切り換え信号の状態によ
り機能の切り換えが行われる機能切り換え用外部端子を
設け、前記専用プリント配線基板に、前記機能切り換え
用外部端子に入力される任意の機能切り換え信号を選択
する機能切り換え手段を設けたことを特徴とするメモ
リモジュール。

【請求項 13】 請求項 12 記載のメモリモジュールに
おいて、

前記機能切り換え手段が、
前記専用プリント配線基板に設けられ、前記専用プリン
ト配線基板に実装された前記半導体装置の前記機能切
り換え用外部端子と電気的に接続された第 1 の接続部と、
前記専用プリント配線基板に設けられ、電源電圧に接続
された第 2 の接続部と、

前記専用プリント配線基板に設けられ、基準電位に接続
された第 3 の接続部とを備え、
前記第 1 の接続部と前記第 2 の接続部との間または前記
第 1 の接続部と前記第 3 の接続部との間に導通手段を装
束あるいは実装を省略し、前記ワード構成切り換え用外
部端子に入力されるワード構成切り換え信号を一括して
切り換える手段であることを特徴とするメモリモジュ
ール。

50

第1の接続部と前記第3の接続部との間に導通手段を装
架あるいは実装を省略し、前記機能切り換え用外部端子
に入力される機能切り換え信号を一括して切り換える手
段であることを特徴とするメモリモジュール。

【請求項14】 請求項12記載のメモリモジュールに
おいて、前記機能切り換え手段によって切り換えられる
前記半導体装置の機能が、読み出し方式およびリフレッ
シュサイクルであることを特徴とするメモリモジュール。

【請求項15】 請求項12記載のメモリモジュールにお
いて、前記機能切り換え手段によって切り換えられる前
記半導体装置の機能が、リフレッシュサイクルであるこ
とを特徴とするメモリモジュール。

【請求項16】 請求項12記載のメモリモジュールに
おいて、前記機能切り換え手段によって切り換えられる
前記半導体装置の機能が、読み出し方式およびリフレッ
シュサイクルであることを特徴とするメモリモジュー
ル。

【請求項17】 請求項12記載のメモリモジュールに
おいて、前記機能切り換え手段が、前記専用プリント配
線基板に接続され、前記半導体装置を実装することによ
り所定の機能切り換え信号が前記機能切り換え用外部端
子に入力され、所定の機能に切り換える機能設定配線よ
りなることを特徴とするメモリモジュール。

【請求項18】 ワード構成切り換え用外部端子に入力
されたワード構成切り換え信号に基づいて所定のワード
構成の切り換えを行う半導体装置と、複数のワード構成
に対応する複数の専用プリント配線基板とを用意し、
前記複数の専用プリント配線基板から、要求される前
記半導体装置のワード構成に対応する1つの前記専用プ
リント配線基板を選択する工程と、

選択された前記専用プリント配線基板に前記半導体装置
を実装する工程とを有したことを特徴とするメモリモジ
ュールの製造方法。

【請求項19】 ワード構成切り換え用外部端子に入力
されたワード構成切り換え信号に基づいてワード構成の
切り換えを行い、機能切り換え用外部端子に入力された
機能切り換え信号に基づいて機能の切り換えを行う半導
体装置と、導通手段を実装あるいは実装を省略すること
により前記機能切り換え用外部端子に入力される任意の機
能切り換え信号を選択する機能切り換え手段が設けられ、
複数のワード構成に対応する複数の専用プリント配線基
板と、要求される前記半導体装置のワード構成に対応
する1つの前記専用プリント配線基板を選択する工程
と、

選択された前記専用プリント配線基板に前記半導体装置
を実装する工程と、
前記導通手段を実装あるいは実装を省略し、任意の機能
を選択的に切り換える工程とを有したことを特徴とする
メモリモジュールの製造方法。

て詳しく述べてある例としては、1990年8月30
日、日刊工業新聞社発行、鈴木八十二（編著）「半導体
MOSメモリとその使い方」P114～P126があ
り、この文献には、メモリ拡張用DRAMポートの回路
構成や動作などが記載されている。

【0007】
【発明が解決しようとする課題】ところで、上記のよう
なメモリモジュールでは、次のような問題点があること
が本発明者により見出された。

【0008】パーソナルコンピュータなどの拡張用メモ
リとして使用されるメモリモジュールに用いられるメモ
リは各種の機能切り換えを有しているが、モジュール配
線基板に実装され完成品となったメモリモジュールで
は、機能切り換えを行うことができないので各機能別に
メモリモジュールの組立を行っている、生産の自由度が
低下してしまうという問題がある。

【0009】本発明の目的は、各々の機能およびワード
構成をパッケージ外部で任意に切り換えることのできる
メモリモジュールおよびその製造方法を提供することに
ある。

【0010】本発明の前記ならびにその他の目的と新規
な特徴は、本明細書の記述および添付図面から明らか
なであろう。

【0011】
【課題を解決するための手段】本願において開示される
発明のうち、代表的なものの特徴を簡単に説明すれば、
以下のとおりである。

【0012】すなわち、本発明のメモリモジュールは、
機能切り換え信号の状態により機能の切り換えが行われ
る機能切り換え用外部端子を設けた半導体装置と、少な
くとも1個の前記半導体装置が実装され、前記機能切り
換え用外部端子に入力される任意の機能切り換え信号を
選択する機能切り換え手段が設けられたプリント配線基板と
よりなるものである。

【0013】また、本発明のメモリモジュールは、前記
機能切り換え手段が、プリント配線基板に設けられ、プ
リント配線基板に実装された半導体装置の機能切り換え
用外部端子と電気的に接続された第1の接続部と、プリ
ント配線基板に設けられ、電源電圧に接続された第2の
接続部と、プリント配線基板に設けられ、基準電位に接
続された第3の接続部とを備え、第1の接続部と第2の
接続部との間または第1の接続部と第3の接続部との間
に導通手段を実装あるいは実装を省略し、機能切り換え
用外部端子に入力される機能切り換え信号を一括して切
り換える手段よりなるものである。

【0014】さらに、本発明のメモリモジュールは、前
記機能切り換え手段をプリント配線基板のコーナー部また
はその近傍に配置したものである。

【0015】また、本発明のメモリモジュールは、前記
機能切り換え手段によって切り換えられる半導体装置の

機能が、読み出し方式よりなるものである。

【0016】さらに、本発明のメモリモジュールは、前
記機能切り換え手段によって切り換えられる半導体装置
の機能が、リフレッシュサイクルよりなるものである。
【0017】また、本発明のメモリモジュールは、前記
機能切り換え手段によって切り換えられる半導体装置の
機能が、読み出し方式およびリフレッシュサイクルより
なるものである。

【0018】さらに、本発明のメモリモジュールは、前
記半導体装置に、ワード構成切り換え信号の状態により
ワード構成の切り換えが行われるワード構成切り換え用
外部端子を設け、前記プリント配線基板に、予め設定さ
れたワード構成切り換え信号をワード構成切り換え用外
部端子に入力するワード構成設定配線を設けたものであ
る。

【0019】また、本発明のメモリモジュールは、ワー
ド構成切り換え信号の状態によりワード構成の切り換え
を行うワード構成切り換え用外部端子を設けた半導体装
置と、少なくとも1個の半導体装置が実装され、切り換
えられた半導体装置のワード構成に対応する専用の配線
を設けた専用プリント配線基板とよりなるものである。

【0020】さらに、本発明のメモリモジュールは、前
記専用プリント配線基板に、ワード構成切り換え用外部
端子に入力される任意のワード構成切り換え信号を選択
するワード構成切り換え手段が設けられたものである。

【0021】また、本発明のメモリモジュールは、前記
ワード構成切り換え手段が、専用プリント配線基板に配
線され、半導体装置を実装することにより所定のワード
構成切り換え信号がワード構成切り換え用外部端子に入
力され、所定のワード構成の切り換えが行われるワード
構成設定配線よりなるものである。

【0022】さらに、本発明のメモリモジュールは、前
記ワード構成切り換え手段が、専用プリント配線基板に
設けられ、専用プリント配線基板に実装された半導体装
置のワード構成切り換え用外部端子と電気的に接続され
た第4の接続部と、専用プリント配線基板に設けられ、
電源電圧に接続された第5の接続部と、専用プリント配
線基板に設けられ、基準電位に接続された第6の接続部
とを備え、第4の接続部と第5の接続部との間または第
4の接続部と第6の接続部との間に導通手段を実装ある
いは実装を省略し、ワード構成切り換え用外部端子に入
力されるワード構成切り換え信号を一括して切り換える
手段よりなるものである。

【0023】また、本発明のメモリモジュールは、前記
半導体装置に、機能切り換え信号の状態により機能の切
り換えが行われる機能切り換え用外部端子を設け、前記
専用プリント配線基板に、機能切り換え用外部端子に入
力される任意の機能切り換え信号を選択する機能切り換
え手段が設けられたものである。

【0024】さらに、本発明のメモリモジュールは、前

記機能切り換え手段によって切り換えられる半導体装置の

メモリ1を実装するモジュール配線基板5は、モジュール配線基板5の裏面5aおよび裏面5bにそれぞれ所定の個数のメモリ1がモジュール配線基板5の長手方向に縦向きに実装される両面基板となっている。また、モジュール配線基板5の裏面5aおよび裏面5bに実装されるメモリ1は、両面構造となっておりメモリ1が二段重ねに実装されている。

【0057】さらに、モジュール配線基板5の裏面5aおよび裏面5bには、メモリモジュールの構成に必要なメモリ1個々のチップ部品などが実装されるように、所定の接続に電氣的に接続が行われるランドが形成されている。

【0058】また、モジュール配線基板5の裏面5bに於ける一方の長辺のコーナー部近傍には、メモリ1に於けられた機能切り換え用ピンFP0（図2）に機能切り換え信号の状態を切り換える後述する導通用チップを実装するランド（第1の接続部）L1、ランド（第2の接続部）L2、ランド（第3の接続部）L3および機能切り換え用ピンFP1（図2）に機能切り換え信号の状態を切り換える導通用チップを実装するランド（第1の接続部）L4、ランド（第2の接続部）L5、ランド（第3の接続部）L6が設けられている。

【0059】さらに、モジュール配線基板5の裏面5a、裏面5bにおける他方の長辺には、所定の数のモジュールI/O端子MTがモジュール配線基板5の長手方向に沿って設けられている。

【0060】そして、モジュール配線基板5の裏面5aおよび裏面5bは、配線パターンが形成されており、これららの配線パターンによって各々のランドならびにモジュールI/O端子MTが所定の接続先にそれぞれ電氣的に接続されている。

【0061】また、ランドL1は、実装されるすべてのメモリ1の機能切り換え用ピンFP0が重なるランドと所定の配線パターンによって電氣的に接続され、ランドL2は配線パターンを介して電源電圧Vccに電氣的に接続され、ランドL3は配線パターンを介してランドL1とランドL2との間に後述する導通用チップを実装するのを省略し、機能切り換え信号としてメモリ1に入力し、機能切り換えを選択的に一括して行う。

【0063】また、機能切り換え手段KK1は、これらランドL1～L3ならびに導通用チップによって構成されていることになる。

【0064】さらに、モジュール配線基板5のランドL4は、実装されるすべてのメモリ1の機能切り換え用ピンFP1が重なるランドと所定の配線パターンによって電氣的に接続され、ランドL5は電源電圧Vccに配線パターンを介して電氣的に接続され、ランドL6はグ

ランド電圧Vssに配線パターンを介して電氣的に接続されている。

【0065】そして、ランドL4とランドL5との間まはランドL4とランドL6との間に後述する導通用チップを実装するいは実装するのを省略し、機能切り換え信号としてメモリ1に入力し、機能切り換えを選択的に一括して行う。

【0066】また、機能切り換え手段KK2は、これらランドL4～L6ならびに導通用チップによって構成されていることになる。

【0067】さらに、導通用チップを実装するモジュール配線基板5のランドL1～L3、L4～L6は、前述したように、モジュールI/O端子MTが位置していない一方の長辺側のコーナー部近傍に設けられているので金線カーズなどによってケーシングされたメモリモジュールMMであっても導通用チップの着脱を容易に行うことができる。

【0068】そして、図7に示すように、このモジュール配線基板5にメモリ1やチップ部品などを実装することによって、いわゆる、8バイトDIMM (Dual Inline Memory Module) であるメモリモジュールMMが構成されることになる。

【0069】ここで、図7において、メモリ1の切り換えは、ワード構成が、予め4M×4ビットに設定され、機能の切り換えが、機能切り換え用ピンFP0、FP1、FP2とそれぞれサイクル、読み出し方式がFAST P A G Eとなるように選択されるものとなる。

【0070】前述したように、リフレッシュサイクルを2トサイクル、読み出し方式をFAST P A G Eとする場合、図4から、機能切り換え用ピンFP0に入力される機能切り換え信号はノンコネク、機能切り換え用ピンFP1に入力される機能切り換え信号を電源電圧Vccにすればよいことになる。

【0071】よって、機能切り換え用ピンFP0はノンコネクであるので、ランドL1～L3には、ジャンパや抵抗などのチップ部品である導通用チップの実装が省略され、モジュール配線基板5に実装されたすべてのメモリ1の機能切り換え用ピンFP0は一括してノンコネク状態となる。

【0072】また、機能切り換え用ピンFP1には電源電圧Vccが入力されるので、ランドL4と電源電圧Vccと接続されているランドL5との間にジャンパや抵抗などのチップ部品である導通用チップ（導通手段）J Cが実装され、モジュール配線基板5に実装された全てのメモリ1の機能切り換え用ピンFP1に電源電圧Vccが入力される。

【0073】よって、図8に示すように、すべてのメモリ1（図2）の機能切り換え用ピンFP1に電源電圧Vccを供給する場合には、モジュール配線基板5（図

6）のランドL4とランドL5との間に導通用チップJ Cを実装するだけよいことになる。

【0074】ここで、このメモリモジュールMMにおける結構状態を図9のブロックダイアグラムに示す。図9に示すように、すべてのメモリ1の機能切り換え用ピンFP1、FP0に入力される機能切り換え信号は、機能切り換え手段KK1、KK2によって一括して選択的に切り換えられることになる。

【0075】次に、メモリモジュールMMが、SODI MM (Small Outline Dual In-line Memory Module) により構成されている場合の実装例を図10に示す。

【0076】この場合も同様に、モジュール配線基板5の裏面5aおよび裏面5bにそれぞれ所定の個数のT C P形のメモリ1が実装されて所定のメモリ構成を構成しており、メモリ1は、二段重ねに実装された両面構造となっている。

【0077】また、モジュール配線基板5の裏面5aに於ける一方の長辺のコーナー部近傍には、前述した8バイトDIMMのメモリモジュールと同様に、メモリ1に設けられた機能切り換え用ピンFP0、FP1に機能切り換え信号の状態を切り換える後述する導通用チップを実装するランドL1、L3、L4、L5が設けられている。

【0078】そして、ランドL1は、実装されるすべてのメモリ1の機能切り換え用ピンFP0が重なるランドと所定の配線パターンによって電氣的に接続され、ランドL3は配線パターンを介してランドL1とランドL5に電氣的に接続されている。

【0079】また、ランドL4は、実装されるすべてのメモリ1の機能切り換え用ピンFP1が重なるランドと所定の配線パターンによって電氣的に接続され、ランドL5は電源電圧Vccに配線パターンを介して電氣的に接続されている。

【0080】そして、ランドL1とランドL3との間まはランドL4とランドL5との間に導通用チップを実装するいは実装するのを省略し、機能切り換え信号としてメモリ1に入力し、機能切り換えを選択的に一括して行う。

【0081】さらに、ジャンパや抵抗などのチップ部品である導通用チップJ Cを実装するモジュール配線基板5のランドL1、L3あるいはランドL4、L5は、図10に示すように、モジュールI/O端子MTが位置していない一方の長辺側のコーナー部近傍に設けられ、金線カーズなどによってケーシングされたメモリモジュールMMであっても導通用チップの着脱を容易に行うことができ

る。

【0082】また、SODI MMにより構成されたメモリモジュールに用いられるモジュール配線基板5は、図11（a）～（e）に示す規格によって形成されている

【0083】さらに、メモリモジュールMMにおける結構状態を図12のブロックダイアグラムに示す。

【0084】図12に示すように、すべてのメモリ1の機能切り換え用ピンFP1に入力される機能切り換え信号は、電源電圧Vccまたはノンコネクのいずれかを

与えられ、すべてのメモリ1の機能切り換え用ピンFP0に入力される機能切り換え信号は、ランド電圧Vssまたはノンコネクのいずれかを機能切り換え手段KK2によって一括して選択的に切り換えられることになる。

【0085】よって、機能切り換え用ピンFP0の入力コネク（図12では'OFF'と示す）の場合、読み出し方式はFAST P A G Eのモードとなり、機能切り換え用ピンFP0の入力がランド電圧Vss（図12では'ON'と示す）の場合、読み出し方式はED0のモードとなる。

【0086】また、機能切り換え用ピンFP1の入力がノンコネクの場合、リフレッシュサイクルは4Kサイ

クルとなり、機能切り換え用ピンFP1の入力が電源電圧Vcc（図12では'ON'と示す）の場合、リフレッシュサイクルは2Kサイクルとなる。

【0087】たとえば、読み出し方式をED0のモード、リフレッシュサイクルを4Kサイクルとする場合、機能切り換え用ピンFP0の入力はランド電圧Vssとなり、機能切り換え用ピンFP1の入力はノンコネクとすればよいので、図10に示すように、ランドL1とランドL3との間に導通用チップJ Cを実装し、ランドL4、L5には導通チップJ Cの実装を省略すればよいことになる。

【0088】ここでは、機能切り換え信号を電源電圧Vccまたはノンコネクのいずれかを機能切り換え手段KK1、KK2によって選択的に切り換えたが、機能切り換え手段KK1、KK2は電源電圧Vcc、ランド電圧Vssまたはノンコネクから選択する構成とし、それらの機能切り換え信号を組み合わせるメモリ1における機能の切り換えを行うこともできる。

【0089】それにより、本実施の形態1によれば、以下の効果を得ることができる。

【0090】（1）機能切り換え手段KK1、KK2によって実装されたすべてのメモリ1の機能切り換えを一括して切り換えることができるので、メモリモジュールMMの機能切り換えを短時間で容易に行うことができる。

【0091】（2）メモリモジュールMMの組み立て仕様を共通化することができるので、製品の開発効率を向上でき、製品管理も容易に行うことができる。

【0092】（3）機能切り換え手段KK1、KK2をモジュール配線基板5のコーナー部またはその近傍に設け

えも、同様、ワード構成を切り換える17、20ピンのワード構成切り換え用ピンFP3、FP2に、ワード構成切り換え信号となる電源電圧Vcc、グラント電位Vssまたはノンコネクタから選択された信号を入力し、それらを図4に示すように組み合わせることににより行う。

【0101】ここで、図14～図17を用いてメモリ1aの機能切り換えおよびワード構成の切り換えを切り換える方法について説明する。また、図11～図17は実際の実施形態を説明するものではなく、メモリモジュールにおけるメモリ1aの接続状態を模式的に示したものである。

【0102】まず、図14において、メモリ1aの実装基板には、予め所定のワード構成に対応する配線が描かれ、専用のモジュール配線基板（専用プリント配線基板）6が用いられる。

【0103】また、モジュール配線基板6には、機能切り換え用ピンFP1、FP0およびワード構成切り換え用ピンFP3、FP2が設けられたメモリ1aが実装されている。

【0104】さらに、モジュール配線基板6は、所定のワード構成が設定されるように、メモリ1aのワード構成切り換え用ピンFP3、FP2にノンコネクタ、電源電圧Vccまたはグラント電位Vssにおける所定のワード切り換え信号が入力される配線パターン（ワード構成設定配線）HP1の配線が設けられている。

【0105】また、モジュール配線基板6には、メモリ1aの機能切り換え用ピンFP0に入力されるノンコネクタ、電源電圧Vccまたはグラント電位Vssから選択された機能切り換え信号を任意に切り換える機能切り換え手段KK1ならびにメモリ1aの機能切り換え用ピンFP1に入力され、同じくノンコネクタ、電源電圧Vccまたはグラント電位Vssのいずれから選択される機能切り換え信号を任意に切り換える機能切り換え手段KK2が設けられている。

【0106】そして、モジュール配線基板6に実装されたすべてのメモリ1aの機能切り換え用ピンFP0、FP1は、それぞれ機能切り換え手段KK1、KK2に接続されるように配線パターンHP1によって配線が描かれている。

【0107】よって、これら機能切り換え手段KK1、KK2によって前述した機能切り換え信号を任意に切り換え、図4に示す積み出し方式およびフレッシュサイクルからなる機能を任意に切り換えることができる。

【0108】それにより、機能切り換え手段KK1、KK2によって、メモリ1aに実装前であっても実装後でも、グラント電位Vssまたはノンコネクタから選択された信号を入力し、それらを図4に示すように組み合わせることににより行う。

【0109】次に、図15においては、メモリ1aを実

装する専用のモジュール配線基板6に任意のワード構成が設定されるように、メモリ1aのワード構成切り換え用ピンFP3、FP2に、ノンコネクタ、電源電圧Vccまたはグラント電位Vssのいずれかをワード構成切り換え信号として任意に切り換えるワード構成切り換え手段KK1、KK2が設けられている。

【0110】また、モジュール配線基板6には、同様、メモリ1aの機能切り換え用ピンFP0、FP1に前述した機能切り換え信号を任意に切り換える機能切り換え手段KK1、KK2が設けられている。

【0111】そして、モジュール配線基板6に実装されたすべてのメモリ1aの機能切り換え用ピンFP0、FP1は、それぞれ機能切り換え手段KK1、KK2に接続されるように配線パターンHP1によって配線が描かれ、すべてのメモリ1aのワード構成切り換え用ピンFP2、FP3は、それぞれワード構成切り換え手段KK1、KK2に接続されるように配線パターンHP1によって配線が描かれている。

【0112】よって、これら機能切り換え手段KK1、KK2によって機能切り換え信号を任意に切り換え、図4に示す積み出し方式およびフレッシュサイクルからなる機能を任意に切り換えて設定する。

【0113】また、モジュール配線基板6に対応したワード構成にメモリ1aが切り換わり設定されるようにワード構成切り換え手段KK1、KK2によってワード構成切り換え信号を切り換える。

【0114】それにより、機能切り換え手段KK1、KK2およびワード構成切り換え手段KK1、KK2によって、メモリ1aの実装前であっても実装後であっても任意にメモリ1aの機能ならびにワード構成を切り換えて設定変更することができる。

【0115】また、モジュール配線基板6にワード構成を切り換えるワード構成切り換え手段KK1、KK2の機能切り換えは、予め所定の機能が切り換えられて設定されるように実装されるメモリ1aの機能切り換え用ピンに所定の機能切り換え信号が入力される配線パターンに施し、ワード構成を切り換えて設定だけを任意に行うようにしてもよい。

【0116】この場合も、切り換えて設定されるワード構成および機能に対応する専用のモジュール配線基板が用意され、この専用のモジュール配線基板にメモリ1aが実装されることになる。

【0117】次に、図16においては、メモリ1aを実装する専用のモジュール配線基板6に予め設定されたワード構成切り換え信号がワード構成切り換え用ピンFP3、FP2に入力されるように配線された配線パターンHP1ならびに予め設定された機能切り換え信号が機能切り換え用ピンFP1、FP0に入力されるように配線された配線パターン（機能設定配線）HP2が形成されている。

【0118】そして、予め所定の機能および所定のワード構成が切り換えられて設定された専用のモジュール配線基板6を選択し、選択したモジュール配線基板6にメモリ1aを実装することにより、自動的にメモリ1aの機能およびワード構成の切り換えが行われ、設定されることになる。

【0119】また、前述した機能切り換え手段KK1は、メモリ1aに設けられた機能切り換え用ピンFP0（図13）に機能切り換え信号の状態を切り換える導通用チップおよびその導通用チップを実装する実装ランドによって構成されている。

【0120】さらに、これらの実装ランドは、機能切り換え用ピンFP0が重合するランドと所定の配線パターンによって電気的に接続された機能ランド、配線パターンを介して電源電圧Vccに電気的に接続された電源ランドならびに配線パターンを介してグラント電位Vssに電気的に接続されたグラントランドにより構成されている。

【0121】同様、機能切り換え手段KK1も、メモリ1aに設けられた機能切り換え用ピンFP1（図13）に機能切り換え信号の状態を切り換える導通用チップおよびその導通用チップを実装する実装ランドによって構成されており、これら実装ランドは、機能切り換え用ピンFP1が重合するランドと所定の配線パターンによって電気的に接続された機能ランド、配線パターンを介して電源電圧Vccに電気的に接続された電源ランドならびに配線パターンを介してグラント電位Vssに電気的に接続されたグラントランドにより構成されている。

【0122】そして、機能ランドと電源ランドとの間または機能ランドとグラントランドとの間に導通用チップを実装するいは実装するのを省略し、電源電圧Vcc、グラント電位Vssまたはノンコネクタのいずれかを任意に選択して機能切り換え信号としてメモリ1aに入力し、機能切り換えを選択的に一括して行う。

【0123】次に、前述したワード構成切り換え手段KK1は、メモリ1aに設けられたワード構成切り換え用ピンFP2（図13）に機能切り換え信号の状態を切り換える導通用チップ（導通手段）およびその導通用チップを実装する実装ランドによって構成されている。

【0124】さらに、これらの実装ランドは、ワード構成切り換え用ピンFP2が重合するランドと所定の配線パターンによって電気的に接続されたワードランド（第4の接続部）、配線パターンを介して電源電圧Vccに電気的に接続された電源ランド（第5の接続部）ならびに配線パターンを介してグラント電位Vssに電気的に接続されたグラントランド（第6の接続部）により構成されている。

【0125】また、ワード構成切り換え手段KK2も、メモリ1aに設けられたワード構成切り換え用ピンFP

【0135】たとえば、CSP形のメモリ1bにおいては、図17に示すように、所定のピンが、機能の切り換えを行う機能切り換え用ピンFP1、FP0ならびにワード構成を切り換えるワード構成切り換え用ピンFP3、FP2として割り付けられる。

【0136】また、これらメモリ1bを実装するモジュール配線基板には、同様に、機能切り換え手段、ワード構成切り換え手段が設けられ、機能切り換え用ピンFP1、FP0に機能切り換え信号を入力し、ワード構成切り換え用ピンFP3、FP2にワード構成切り換え信号を入力することによって、任意に機能およびワード構成の切り換えを行うことができる。

【0137】次に、たとえば、SOJ形のメモリ1cにおいては、図18に示すように、所定のピンが、機能の切り換えを行う機能切り換え用ピンFP1、FP0ならびにワード構成を切り換えるワード構成切り換え用ピンFP3、FP2として割り付けられ、それら機能切り換え用ピンFP1、FP0ならびにワード構成切り換え用ピンFP3、FP2が、それぞれ半導体チップ2に設けられたボンディングパッドである所定の機能切り換える用パッドBP1、BP0、ワード構成切り換え用パッドBP3、BP2とボンディングワイヤWによって電気的に接続されている。

【0138】また、メモリ1cを実装するモジュール配線基板には、同様に、機能切り換え手段、ワード構成切り換え手段が設けられ、機能切り換え用ピンFP1、FP0に機能切り換え信号を入力し、ワード構成切り換え用ピンFP3、FP2にワード構成切り換え信号を入力することによって、任意に機能およびワード構成の切り換えを行うことができる。

【0139】以上、本発明者によってなされた発明を本発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0140】たとえば、前記実施の形態1、2では、機能切り換え信号、ワード構成切り換え信号は、機能切り換え手段やワード構成切り換え手段によって一括してメモリモジュールに実装されたすべてのメモリに供給されたうえで、一括してメモリモジュールに実装されたすべてのメモリに機能切り換え信号、ワード構成切り換え信号を供給するのではなく、2、3層のメモリ毎に機能切り換え手段、ワード構成切り換え手段を設けるようにしてもよい。

【0141】また、前記実施の形態1、2においては、チップ部品であるジャンパや抵抗などの導通用チップを選択的に着脱して接続先を切り換えていたが、モジュール配線基板に、たとえば、EEPROM (Electrically Erasable Programmable Memory) などの半導体メモリを用いてメモリモジュールを構成してもよい。

【0142】また、本実施の形態2では、TCP形のメモリ1aについて記載したが、たとえば、半導体チップは、たとえば、パッケージからなるCSG (Chip Size Package) 形またはBGA (Ball Grid Array) 構造のメモリやSOJ (Small Outline J-leaded Package) 形など、LOLC (Lead On Chip) 構造からなるメモリを用いてメモリモジュールを構成してもよい。

【0143】また、本実施の形態2では、TCP形のメモリ1aについて記載したが、たとえば、半導体チップは、たとえば、パッケージからなるCSG (Chip Size Package) 形またはBGA (Ball Grid Array) 構造のメモリやSOJ (Small Outline J-leaded Package) 形など、LOLC (Lead On Chip) 構造からなるメモリを用いてメモリモジュールを構成してもよい。

【0144】また、本実施の形態2では、TCP形のメモリ1aについて記載したが、たとえば、半導体チップは、たとえば、パッケージからなるCSG (Chip Size Package) 形またはBGA (Ball Grid Array) 構造のメモリやSOJ (Small Outline J-leaded Package) 形など、LOLC (Lead On Chip) 構造からなるメモリを用いてメモリモジュールを構成してもよい。

【0145】また、前記実施の形態1、2において、メモリ1aの機能の切り換えは、リフレッシュサイクルならびにFAST PAGEとEDOからなる読み出し方式であったが、たとえば、DRAM動作モードやシンクロナスDRAM動作モードの切り換えなどさまざまな切り換えを機能切り換え手段によって外部から行うようにしてもよい。

【0146】本発明の効果は、本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0147】(1) 本発明によれば、メモリモジュールの組立仕掛を共通化でき、半導体装置の機能別の管理を不要とすることができる。

【0148】(2) また、本発明では、メモリモジュールの完成後であっても半導体装置の機能を任意に切り換えることができるので、プリント配線基板の仕様を統一でき、仕様変更などにフレキシブルに対応することができ、コストで容易に半導体装置の機能を切り換えることができる。

【0149】(3) さらに、本発明においては、ジャンパまたは抵抗などの導通手段を選択的に着脱することにより、低コストで容易に半導体装置の機能を切り換えることができる。

【0150】(4) また、本発明によれば、上記(1)～(3)により、半導体装置の製品開発の効率ならびに生産性を大幅に向上させることができ、且つ製品管理を容易にさせることができる。

【0151】また、本発明によれば、上記(1)～(3)により、半導体装置の製品開発の効率ならびに生産性を大幅に向上させることができ、且つ製品管理を容易にさせることができる。

【図面の簡単な説明】
【図1】本発明の実施の形態1によるメモリの要部の構成説明図である。
【図2】本発明の実施の形態1によるメモリのピン配線図である。

【図3】本発明の実施の形態1によるメモリの内部接続を示す説明図である。
【図4】本発明の実施の形態1によるメモリの機能およびワード構成の切り換えの説明図である。

【図5】本発明の実施の形態1によるメモリを実装したメモリモジュールの接続説明図である。
【図6】本発明の実施の形態1によるメモリを実装するモジュール配線基板の接続図である。

【図7】本発明の実施の形態1によるメモリを実装したモジュール配線基板の実装図である。
【図8】本発明の実施の形態1によるメモリの機能切り換えを行うジャンパの実装例を示す説明図である。

【図9】本発明の実施の形態1によるメモリモジュールのプロットダイアグラム図である。
【図10】本発明の他の実施の形態によるメモリを実装したモジュール配線基板の実装図である。

【図11】(a)～(e)は、本発明の他の実施の形態によるモジュール配線基板の規格図である。
【図12】本発明の他の実施の形態によるメモリモジュールのプロットダイアグラム図である。

【図13】本発明の実施の形態2によるメモリのピン配線図である。
【図14】本発明の実施の形態2によるメモリを実装したメモリモジュールの接続説明図である。

【図15】本発明の実施の形態2によるメモリを実装したメモリモジュールの接続説明図である。
【図16】本発明の実施の形態2によるメモリを実装したメモリモジュールの接続説明図である。

【図17】本発明の他の実施の形態によるメモリのピン配線図である。
【図18】本発明の他の実施の形態2によるメモリの内部接続を示す説明図である。

【符号の説明】
1 メモリ
1a メモリ
1b メモリ
1c メモリ
2 半導体チップ
3 フィルム
4 配線
4a インナリード
4b アウタリード
5a 表面
5b 裏面

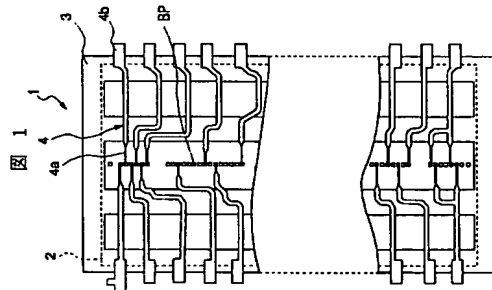
13

- 6 モジュール配線基板 (専用プリント配線基板)
- BP ボンディングパッド
- BP0~BP3 ボンディングパッド
- FP0, FP1 機能切り換え用ピン (機能切り換え用外部端子)
- FP2, FP3 ワード構成切り換え用ピン (ワード構成切り換え用外部端子)
- KK1, KK2 機能切り換え手段
- WK1, WK2 ワード構成切り換え手段
- L1 ランド (第1の接続部)
- L2 ランド (第2の接続部)
- L3 ランド (第3の接続部)

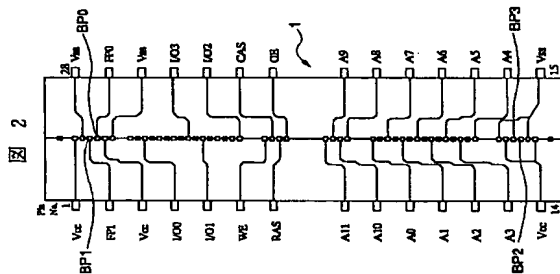
24

- L4 ランド (第1の接続部)
- L5 ランド (第2の接続部)
- L6 ランド (第3の接続部)
- MM メモリモジュール
- MT モジュールI/O端子
- JC 共通用チップ (共通手段)
- HP 配線パターン
- HP1 配線パターン (ワード構成設定配線)
- HP2 配線パターン (機能設定配線)
- 10 W ボンディングワイヤ
- Vcc 電源電圧
- Vss グラント電位

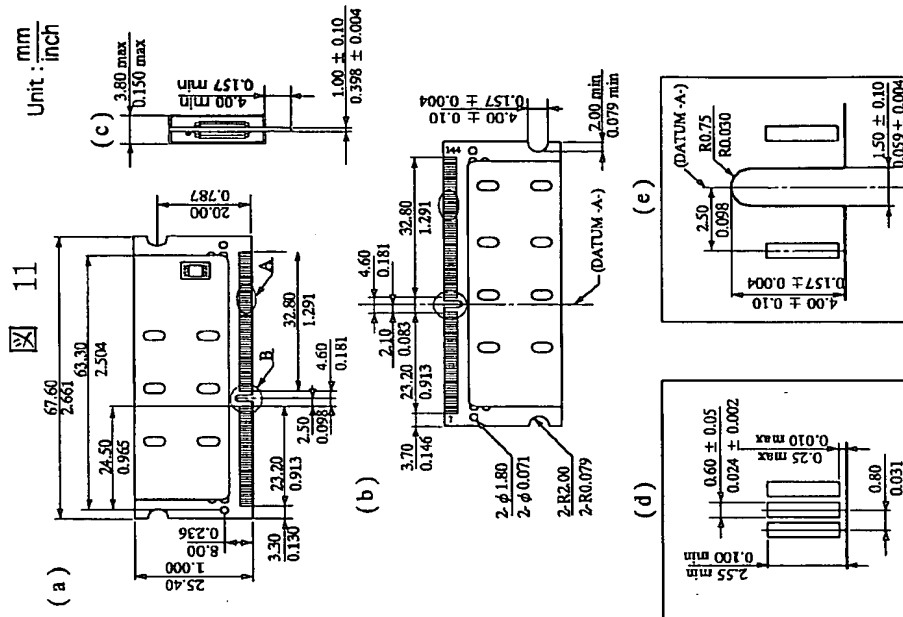
【図1】



【図2】

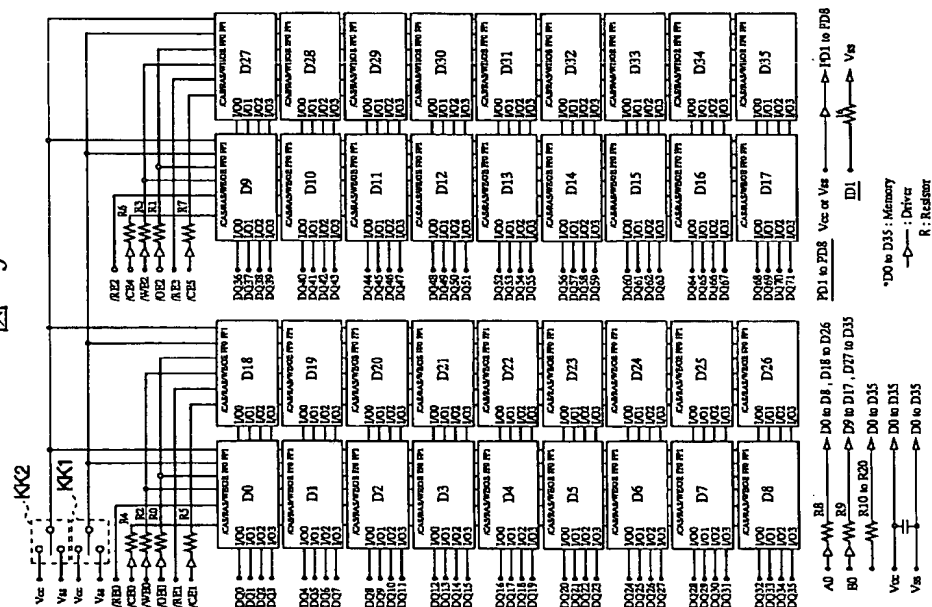


[図11]



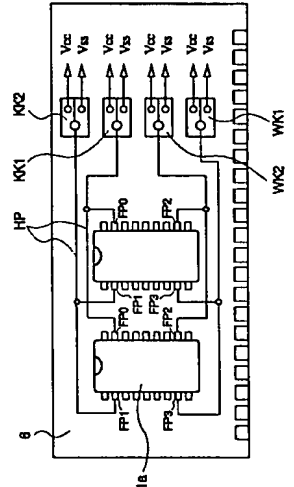
[図9]

9



【図15】

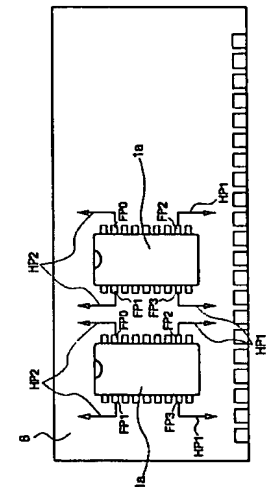
図 15



WK1, WK2: フロップ切り換え手段

【図16】

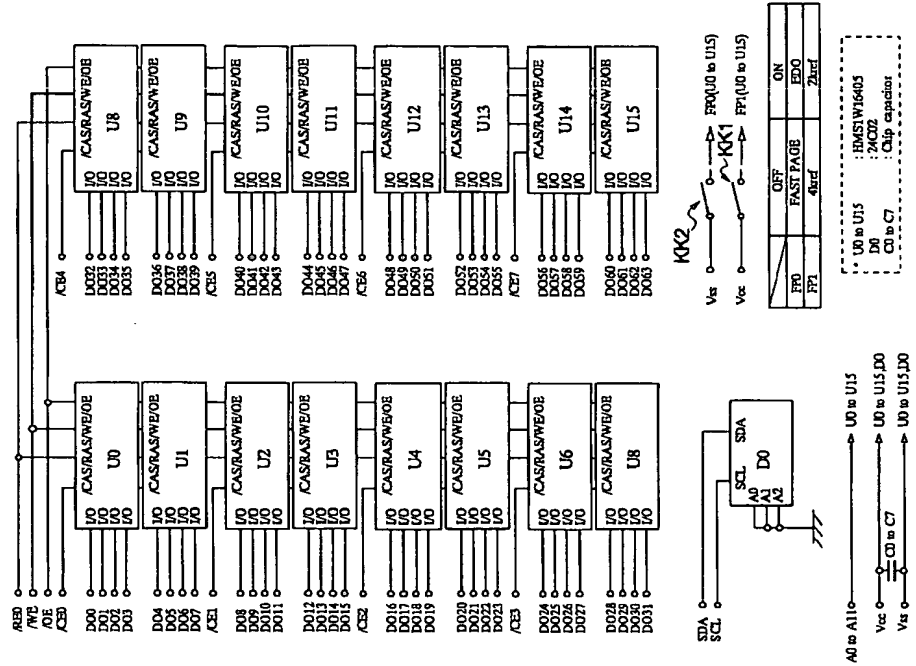
図 16



HP1: 駆動パターン(駆動波配線)

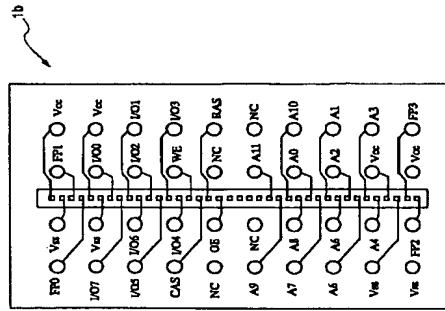
【図12】

図 12



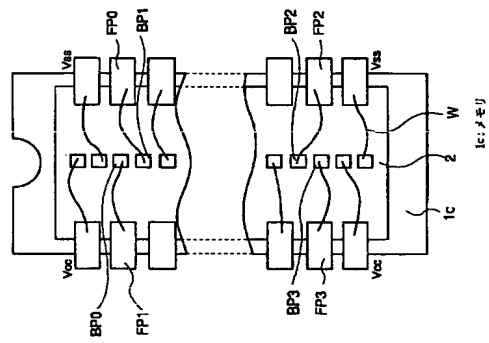
【図17】

図 17



【図18】

図 18



フロントページの続き

(72)発明者 常田 健祐
東京都小平市上水本町五丁目10番1号 株
式会社日立製作所半導体専業部内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☒ **OTHER:** Small writing

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.